

Japanese Patent Office
Patent Laying-Open Gazette

Patent Laying-Open No. 3-58543

Date of Laying-Open: March 13, 1991

Internatinal Class(es): H04L 12/56

(4 pages in all)

Title of the Invention: Packet Assembly Device

Patent Appln. No. 1-195080

Filing Date: July 26, 1989

Inventor(s): Shinobu Yagi

Applicant(s): Matsushita Electric Industrial Co., Ltd.

Partial English Translation of Japanese Patent

Laying-Open No. 3-58543

...omitted...

Prior art

Fig. 3 shows a structure of a conventional packet assembly device which includes a buffer memory 3 for temporarily storing transmitted data 401 to 407 input to input terminal 1; a data amount counter 4 for counting the amount of transmitted data stored in the buffer memory and determining whether a condition for packeting is satisfied; and a packet transmission circuit 5 for reading data 7 corresponding to one packet from buffer memory 3 in response to an instruction signal 6 from the read amount counter 4, performing necessary operation such as addition of a header to prepare output packets 411 to 413 and for outputting the output packets to an output terminal 2.

Fig. 4 is a timing chart showing the operation of the packet assembly device shown in Fig. 3, in which reference numerals 401 to 407 represent transmitted data input burst wise to packet assembly circuit, 411 to 413 represent output packets in which transmitted data 401 to 407 are assembled as packets having a prescribed length, and 421

represents a packet header indicating additional information such as a destination of each packet.

In Fig. 4, for the simplicity of description, it is assumed that transmitted data 401 to 407 are input to packet assembly circuit burst wise, in which integer multiple of a unit data amount represented by the interval between vertical lines in the figure is handled as a group. Further, it is assumed that the amount of data transmitted by one packet is 5 units of data amount (transmission data corresponding to five intervals between the vertical lines of the figure).

Assume that the transmitted data 401, 402, and 403 have the data lengths of 1 unit of data amount, 2 units of data amount and 3 units of data amount, respectively. When 2 units of data amount of transmitted data 403 have been stored in buffer memory 3, packeting condition of transmitted data stored in the buffer memory is satisfied, and thus the data is transmitted as an output packet 411, from packet transmission circuit 5.

The last 1 unit of data amount of transmission data 403 is transmitted as output packet 412, together with the data corresponding to 3 units of data amount of transmission data 404 and 405. Similarly, the data of the last 1 unit of data amount of transmission data 405 as well as transmission data 406 and 407 are transmitted as

output packet 413.

As described above, even in the conventional packet assembly device shown in Fig. 3, it is possible to transmit the transmitted data input burst wise as packets having a prescribed length.

⑫ 公開特許公報(A) 平3-58543

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月13日

H 04 L 12/56

7830-5K H 04 L 11/20 1 0 2 F

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 バケット組立装置

⑮ 特 願 平1-195080

⑯ 出 願 平1(1989)7月26日

⑰ 発 明 者 八 木 忍 神奈川県横浜市港北区綱島東4丁目3番1号 松下通信工業株式会社内

⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑲ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

バケット組立装置

2. 特許請求の範囲

送信データを一時蓄積するバッファメモリと、
前記バッファメモリ内に蓄積された送信データ
量をカウントするデータ量カウンタと、

前記バッファメモリ内にデータが滞留している
時間を計測するタイマ回路と、

前記データ量カウンタが所定のデータ量をカウ
ントした場合または前記タイマ回路が所定の時間
を計測した場合に、前記バッファメモリからデー
タを読み出してバケットを生成し、送出するバ
ケット送出回路を備えたバケット組立装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、送信データ量がバケット化条件を満
たすまで一時的にバッファメモリに蓄積させる方
式のバケット組立装置に関する。

従来技術

第3図は従来のバケット組立装置の構成を示す
もので、入力端子1に入力された送信データ40
1~407を一時蓄積するためのバッファメモリ
3とこのバッファメモリに蓄積される送信デー
タ量をカウントしバケット化条件を満たすかどう
かを判定するデータ量カウンタ4と、このデータ
量カウンタ4からの指示信号6によりバッファメ
モリ3から1バケット分のデータ7を読み出し、
ヘッダ付加等の処理を行って出力バケット411
~413として出力端子2に出力するバケット送
出回路5とで構成されている。

第4図は第3図に示したバケット組立装置の動
作を説明するための動作タイミング図を示すも
ので、401~407はバケット組立回路にバース
ト状に入力される送信データ、411~413は
送信データ401~407を一定の長さのバケッ
トに組み立てた出力バケット、421は各バケッ
トの宛先やその他の付加情報を示すバケットヘッ
ダである。

なお、第4図においては、説明を簡単にするた

め、送信データ401～407は図の縦線の間隔で示される単位データ量の整数倍をひとまとまりとしてバースト状にバケット組立回路に入力されるものとし、また、1バケットによって伝送されるデータ量は、5単位データ量(図の縦線の間隔5つ分の送信データ)としている。

いま、上記送信データ401、402、403のデータ長をそれぞれ1単位データ量、2単位データ量、3単位データ量とすると、送信データ403のうち2単位データ量がバッファメモリ3内に蓄積された時点で該バッファメモリ内に蓄積された送信データのバケット化条件が満たされ、出力バケット411としてバケット送出回路5から送信される。

また、送信データ403の最終の1単位データ量のデータは、送信データ404と送信データ405のうちの3単位データ量分のデータとともに出力バケット412として送出される。同様に、送信データ405の最終の1単位データ量のデータと送信データ406および送信データ407

は、出力バケット413として送出される。

上記のようにして、第3図に示した従来のバケット組立装置においても、バースト状に入力される送信データを一定の長さのバケットとして送出することができる。

発明が解決しようとする課題

しかしながら上記従来のバケット組立装置では、バッファメモリ内に1バケット分の送信データが蓄積されることをバケット化条件としているために、バッファメモリ内に未送出のデータが残っている場合、次の送信データの到着間隔が大きいとバッファメモリ内に蓄積された未送出データがバケットとして送出されるまでの遅延時間が大きくなるという問題がある。また、そのため、送信データのバースト性が大きな場合には、遅延時間のばらつきが大きくなるという問題がある。

本発明はこのような従来の問題を解決するものであり、バケット送出までの遅延時間を一定時間内に収め、遅延時間のばらつきを小さくすることのできる優れたバケット組立回路を提供すること

を目的とするものである。

課題を解決するための手段

本発明は上記目的を達成するために、バッファメモリ内にデータが滞留している時間を計測するためのタイマ回路を設け、バッファメモリ内に1バケット分の送信データが蓄積されることの他に、バッファメモリ内の未送出データの滞留時間が一定時間に達することをバケット化条件とするよう構成したものである。

作用

従って、本発明によれば、バッファメモリ内のデータの滞留時間が一定時間に達した場合に送信データをバケット化して送出することにより、送信データのバケット組立装置への到着間隔が大きな場合でも、送信データがバケットとして送出されるまでの遅延時間が一定値よりも大きくなるのを防ぐことができるという効果を有する。

実施例

第1図は本発明の一実施例の構成を示すものである。第1図において、11、12はバケット組

立装置の入力端子と出力端子、13は送信データ201～207を一時蓄積するためのバッファメモリ、14はバッファメモリ13内に蓄積される送信データ201～207の量をカウントし、バッファメモリ13内に1バケット分の送信データが蓄積されているかどうかを判定するデータ量カウンタ、16は送信データのバッファメモリ13内での滞留時間を計測するタイマ回路、17はデータ量カウンタ14、タイマ回路16からのそれぞれの指示信号20、21を入力するオア回路、15はオア回路17から出力される指示信号23に応じて、バッファメモリからデータ18を読み出し、バケット211～214として送出するバケット送出回路である。

第2図は、第1図に示した本発明によるバケット組立装置の動作を説明するための動作タイミング図である。第2図において、201～207はバケット組立回路にバースト状に入力される送信データ、211～214は送信データ201～207を一定の長さのバケットに組み立てた出力バ

ケット、221は各ケットの宛先やケット内の有効データ長等の付加情報を示すケットヘッダである。

なお、第2図においては、第4図と同様に説明を簡単にするため、送信データは図の縦線の間隔で示される単位データ量の整数倍をひとまとまりとしてバースト状にケット組立回路に入力されるものとし、また、1ケットによって伝送されるデータ量は、5単位データ量(図の縦線の間隔5つ分の送信データ)としている。

次に上記実施例の動作について説明する。バッファメモリ13への送信データの書き込み、データ量カウンタ14による送信データ量のカウントおよびケットの送出指示は、従来のケット組立回路の場合と同様である。

いま、上記送信データ201、202、203のデータ長をそれぞれ1単位データ量、2単位データ量、3単位データ量とすると、出力ケット211および212は第2図に示すタイミングで出力される。

つまり、データ203のうち2単位データ量がバッファメモリ13内に蓄積された時点で該バッファメモリ内に蓄積されたデータのケット化条件が満たされ、出力ケット211としてケット送出回路15から送出される。また、データ203の最終の1単位データ量のデータは、送信データ205のうちの3データ量分のデータとともに出力ケット212として送出される。

そして、上記出力ケット212の送出終了の時点でタイマ回路16は、ケットの送出終了ごとにケット送出回路15から出力されるケット送出終了信号20によりリセットされる。

しかし、この時、バッファメモリ13内には送信データ205の最終の1単位データ量分のデータが未送出のまま残っているため、タイマ回路16はバッファメモリ13からのデータ残量信号19を受けて該バッファメモリでのデータの滞留時間の計測を開始する。

出力ケット212の送出後、予め設定された一定時間Tまでのあいだに、新たな送信データの

到着によりバッファメモリ内のデータ量が1ケット分に達しないと、タイマ回路16はT時間後にケット送出回路15に未送出ケットの送出を指示する指示信号21を出力する。

この場合、バッファメモリ13から読み出したデータ18は1ケット分のデータ量に満たないため、ケット送出回路15は送信データ205の最終の1単位データ量分のデータ222にグミデータ223を付加して出力ケット213として送出する。

このように、上記実施例によれば、ケット組立装置への送信データの到着間隔が大きな場合でもバッファメモリ内での送信データの滞留時間を一定時間内に収めることができる。

発明の効果

以上のように、この本発明によれば、バッファメモリ内に送信データが滞留している時間を計測するタイマ回路を設け、バッファメモリ内のデータ量を計測するデータ量カウンタの他に、上記タイマ回路からの指示によっても、バッファメモリ

からの送信データの読み出しとケットの送出を行うように構成したので、ケット組立装置への送信データの到着間隔が大きな場合でも、送信データがケットとして送出されるまでの遅延時間の増大を抑えることができ、遅延時間のばらつきを小さくすることができるという効果がある。

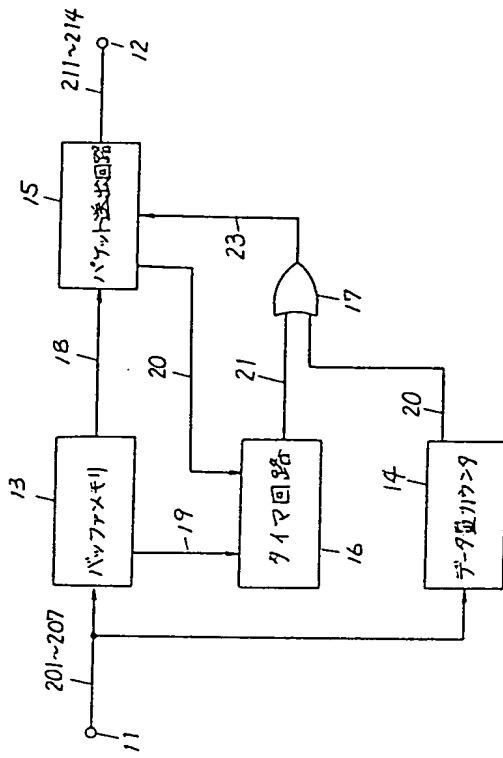
4. 図面の簡単な説明

第1図は本発明の一実施例におけるケット組立装置のブロック図、第2図は第1図に示した実施例を説明するための動作タイミング図、第3図は従来のケット組立装置のブロック図、第4図は第3図に示したケット組立装置の動作を説明するための動作タイミング図である。

13…バッファメモリ、14…データ量カウンタ、15…ケット送出回路、16…タイマ回路、201~207…送信データ、211~214…出力ケット。

代理人の氏名 弁理士 栗野重孝ほか1名

圖 1



第 2 圖

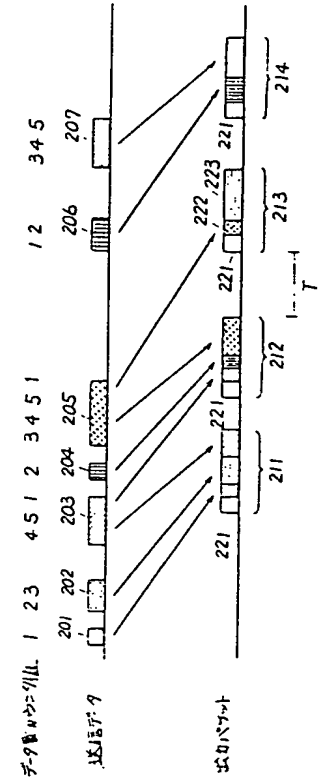
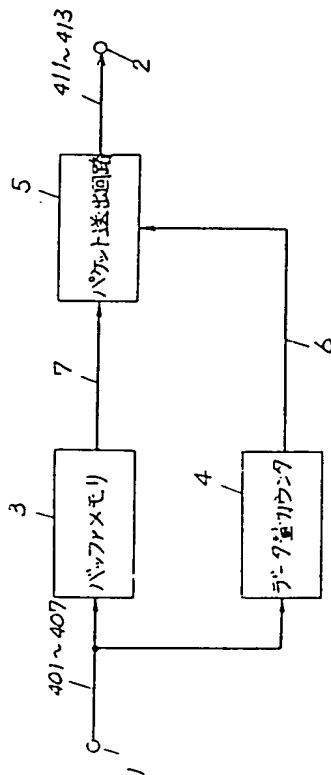


圖 3 示



正 4 図

